C-MOS - Technologien

Jürgen Hochwald

6. Juli 1995

Projektgruppe Systementwurf

WS 94/95 und SS 95

Inhaltsverzeichnis

1 PN-Übergang

1.1 Kristallstruktur

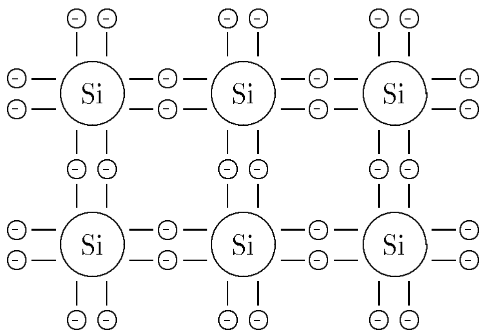


Abb 1.1: Siliziumkristall

Silizium ist ein 4-wertiges Element, es besitzt also vier Valenzelektronen. Jedes Atom bindet sich mit 4 weiteren Atomen, so daß sich eine Kristallstruktur bildet. Diese Kristallstruktur ist 3-dimensional, die vier Bindungen zeigen in die Ecken eines (gedachten) Thetraeders. Jedes Elektron hat in dieser Kristallstruktur einen festen Platz, so daß kein Stromfluß möglich ist.

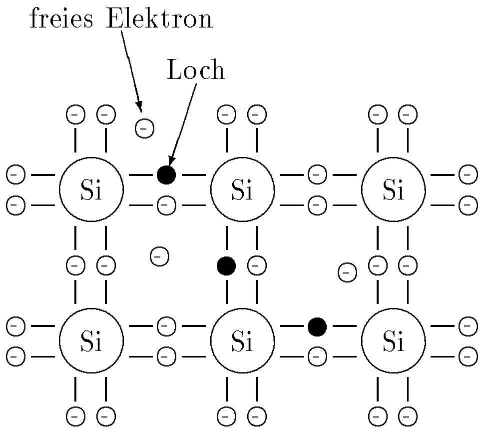


Abb.1.1: Loslösung von Elektronen

Durch äußere Einflüsse (wie z.B. Wärmeschwingungen) kann sich ein Elektron aus seiner Bindung loslösen. Dieses Elektron steht jetzt als freies Elektron zur Verfügung. In der Bindung hinterläßt es ein positiv geladenes "Loch". Trifft ein Elektron auf ein Loch, dann *rekombinieren* diese beiden. Das Elektron ist wieder fest in die Kristallstruktur integriert, das Loch in der Gitterstruktur ist neutralisiert.

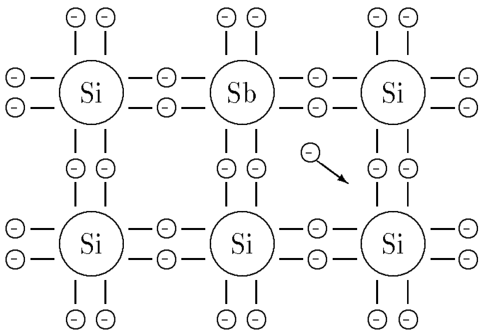
Dieser Kristall leitet den Strom nicht so gut wie ein Leiter aber er ist auch nicht so hochohmig wie ein Isolater. Dieser Kristall heißt Halbleiter.

Wird dieser Kristall unter Spannung gesetzt, überlagert sich zu der zufälligen Ladungsträgerbewegung eine gerichtete Bewegung. Die Elektronen fließen vom Minus- zum Pluspol, die Löcher fließen vom Plus- zum Minuspol. Das Fließen der Löcher ist dabei nicht wörtlich zu nehmen. In

Wirklichkeit springen die Löcher von einem Gitterpunkt zum nächsten, die Flußbewegung entsteht durch das Nachrücken der Elektronen. Man spricht hier von einem Elektronenstrom und einem Löcherstrom.

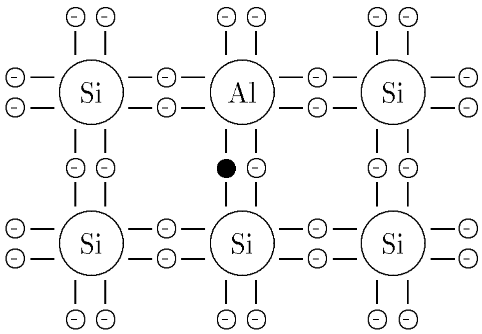
1.2 Dotieren

Die relativ geringe Leitfähigkeit des reinen Siliziums kann durch gezielte Verunreinigung mit Fremdstoffen wesentlich erhöht werden. Man baut dafür entweder Stoffe mit 5 Valenzelektronen oder mit 3 Valenzelektronen in das Kristallgitter ein. Diese Gitterstellen mit den Fremdatomen nennt man Störstellen. Die Anzahl der Fremdatome ist sehr gering, auf eine Billiarde Siliziumatome kommt ein Fremdatom. Diesen Verunreinigungsvorgang nennt man *Dotieren*.



n-Leitfähigkeit

Dotierung mit einem 5-wertigen Stoff: Vier Valenzelektronen binden sich mit den vier benachbarten Atomen in dem Kristallgitter. Das fünfte Elektron findet keine Bindung und kann sich frei im Kristallgitter bewegen. Dabei wird der Atomkern zum positiven Ion , da ein Elektron fehlt. Der dorierte Siliziumkristall ist aber trozdem nach aussen hin elektrisch neutral. Einen 5-wertigen Dotierstoff bereichnet man als *Donator*. Durch das Freiwerden von Elektronen nimmt die Leitfähigkeit des Kristalls zu. Da hier negative Ladungsträger die Leitfähigkeit hervorrufen, spricht man von einem n-Halbleiter.



p-Leitfähigkeit

Dotierung mit einen 3-wertigen Stoff: Alle drei Elektronen werden im Atomgitter gebunden, die vierte Bindung bleibt frei, hier entsteht ein Loch. Diese Leerstellen ziehen aus der Umgebung

Elektronen an, so daß das Atom zu einem positiven Ion wird, da ein Elektron mehr vorhanden ist als Protonen im Kern. Die Löcher bewegen sich als positive Elementarladungen durch den Kristall. Einen 3-wertigen Dotierstoff bereichnet man als *Akzeptor*.

Folgende Stoffe kommen für die Dotierung in frage:

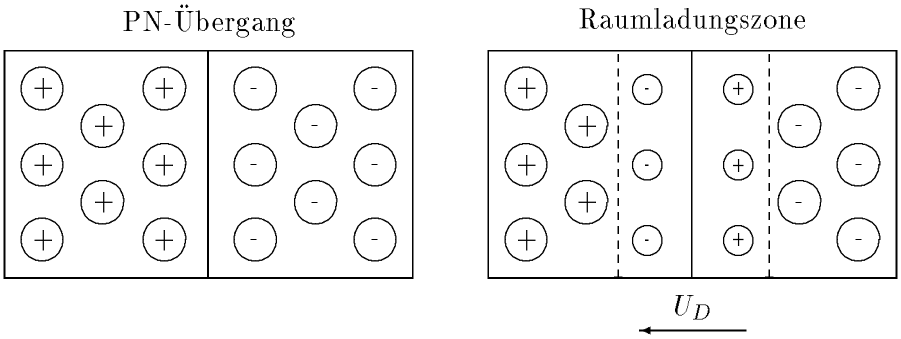
Donator	Akzeptor
Arsen (As)	Bor (B)
Antimon (Sb)	Gallium (Ga)
Lithium (Li)	Aluminium (Al)
Phosphor (P)	Indium (In)

Beispiele für Dotierungen: In 1 cm^3 befinden sich 10^{22} Atome.

Typ	spez- Widerstand(Ω/mm^2)	Dotierung (Femdatome cm^{-3})
n	5	10^{15}
n+	0.03	10^{18}
p	2	10^{16}
p+	0.05	10^{18}

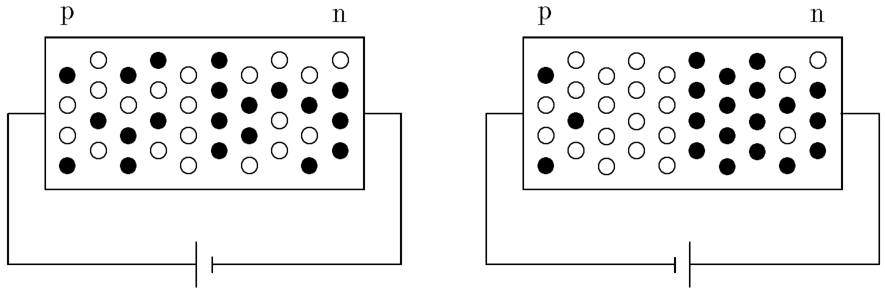
Die Beweglichkeit der Löcher ist geringer als die Beweglichkeit der Elektronen.

1.3 PN-Übergang ohne Spannung



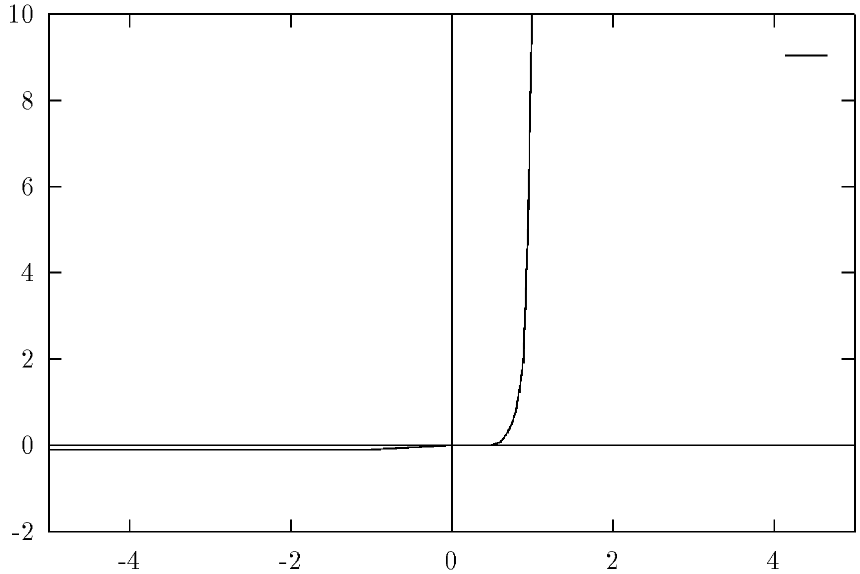
Werden ein n-Halbleiter und ein p-Halbleiter zusammengefügt, dann findet in der Grenzschicht ein Ladungsträgeraustausch statt. Von n-leitenden Bereich werden die Elektronen in den p-Bereich gezogen und rekombinieren dort mit den Löchern. Ebenso dringen Löcher aus dem p-Zone in die n-Zone ein und 'schlucken' dort freie Elektronen. Es entsteht eine ladungsträgerfreie Zone, die Sperrschicht. In ihr bleiben die ionisierten Störstellenatome mit ihren positiven und negativen Ladungen zurück. Diese ionisierten Atome bilden in der Grenzschicht eine Raumladungszone, die ein weiteres rekombinieren von Löchern und Elektronen verhindert. Es stellt sich ein stabiler Zustand ein. Die Diffusionsspannung (Bezeichnung U_D) beträgt bei Germaniun 0.3 Volt und bei Silizium 0.7 Volt.

1.4 PN-Übergang mit Spannung



Wird der Pluspol einer Spannungsquelle mit der p-Zone und der Minuspol mit der n-Zone verbunden, dann wird die Sperrschicht abgebaut. In der p-Zone werden die Elektronen abgesaugt, es entstehen mehr Löcher, die auch die negativen Ionenladungen der Akzeptorionen abbauen. In die n-Zone werden Elektronen hereingedrückt, so daß die positiven Ladungen der Donatorionen neutralisiert werden. Die gesamte Sperrschicht wird schmaler, wird die Diffusionsspanung überschritten, ist die Sperrschicht komplett abgebaut und es kommt zu einem ungehemmten Stromfluß. Der pn-Übergang ist in *Flussrichtung* geschaltet.

Wird der Minuspol einer Spannungsquelle mit der p-Zone und der Pluspol mit der n-Zone verbunden, dann ist der pn-Übergang in *Sperrrichtung* geschaltet. In der p-Zone werden noch weitere Löcher mit Elektronen aufgefüllt und in der n-Zone werden noch mehr Elektronen abgesaugt. Die Sperrschicht verbreitert sich, ein Stromfluß wird unmöglich.



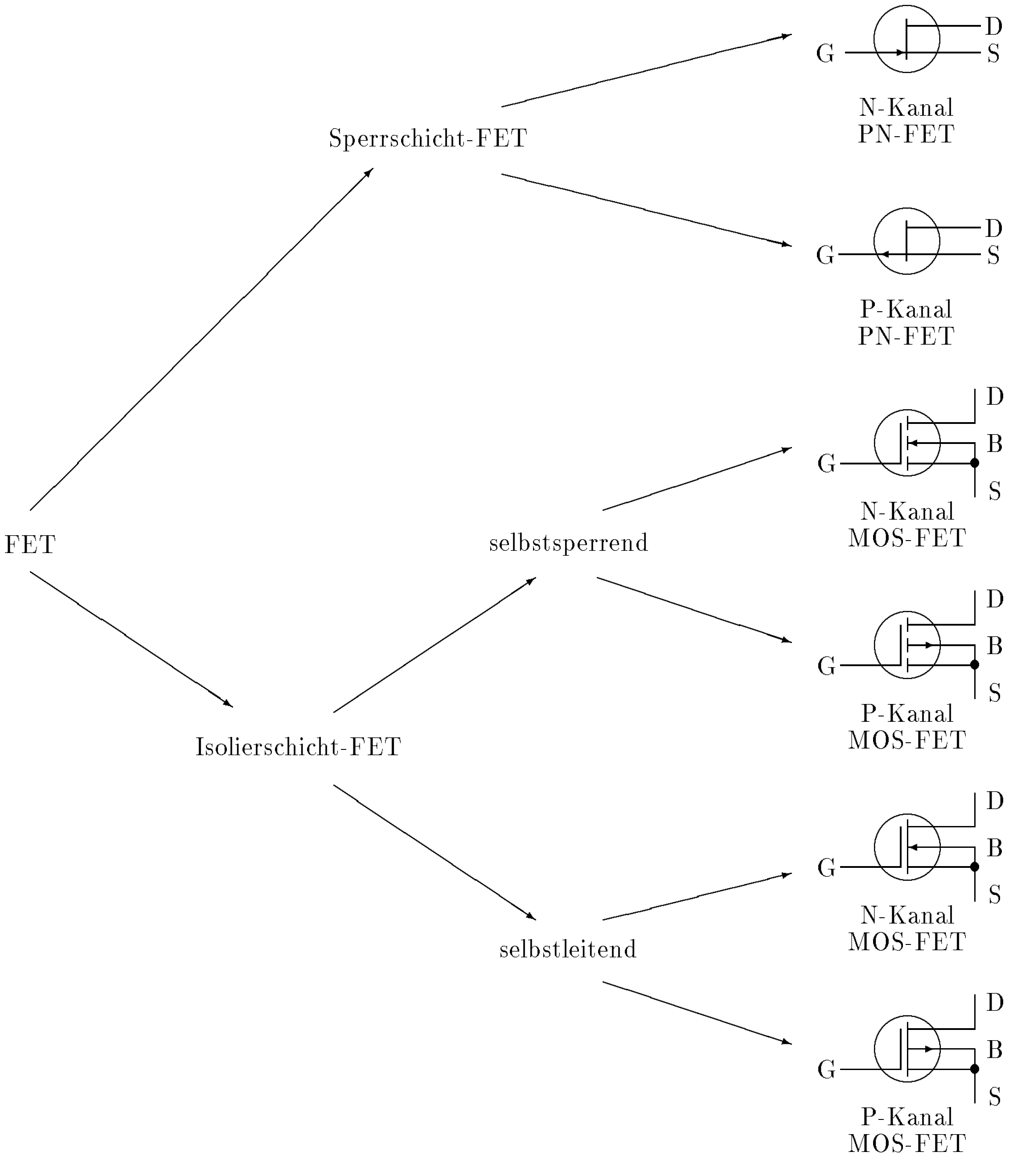
Kennlinie eines PN-Überganges

Auch in Sperrrichtung kommt es zu einen kleinem Stromfluß, der durch das 'natürliche' Entstehen und Rekombinieren von zufällg entstandenen Löchen und Elektronen entsteht. Dieser *Leckstrom* ist sehr klein (im Nanoampere-Bereich).

2 Feldeffekttransistoren (FET's)

2.1 Übersicht

Feldeffekttransistoren arbeiten mit PN-Übergängen in Sperrichtung. Der Laststrom fließt über den sogenannten *Kanal*, dessen effektiver Querschnitt durch die Breite der Sperrschichten verändert werden kann. Da für die Steuerung nur ein elektrisches Feld benötigt wird, erfolgt die Ansteuerung *leistungslos*.

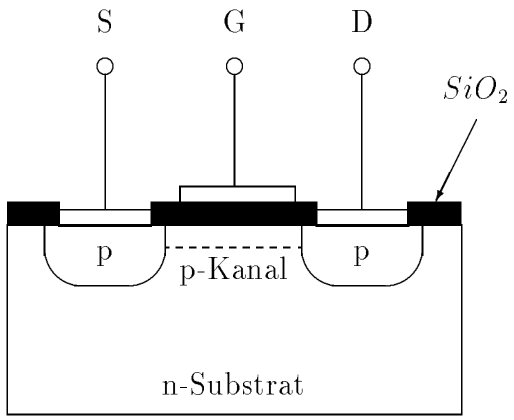


Übersicht, Schaltbild und Bezeichning von FET's

Man unterscheidet zwei Arten von FET's: Sperrschicht-FET und Isolierschicht-FET (MOS-FET = Abk. für Metall Oxid Semiconductor, entspr. der Schichtfolge am Gate).

Über die Polarität der Ladungsträger im Kanal unterscheidet man zusätzlich zwischen *n-Kanal* und *p-Kanal* - Typen.

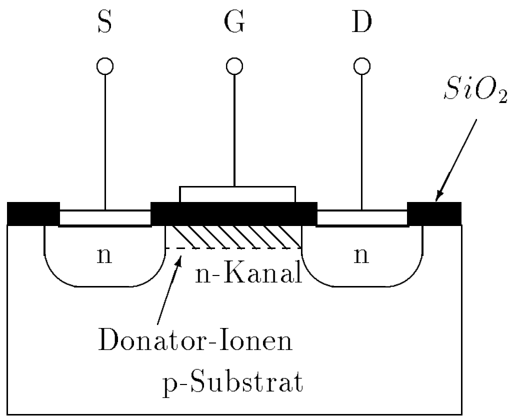
2.2 Funktionsweise



selbstsperrender p-Kanal MOS-FET

Wird zwischen Source (S) und Drain (D) eine Spannung gelegt, kann kein Strom fließen, da einer der PN-Übergänge sperrt. Wird eine Spannung an das Gate (G) gelegt, wird der Kanal durch das elektrische Feld mit Ladungsträgern angereichert. Die Sperrschicht wird abgebaut, und es kann ein Strom fließen. Die Stromstärke wird durch die Spannung U_{GS} und auch durch U_{DS} beeinflußt.

Weil der Kanal mit Ladungsträgern angereichert werden muß, nennt man diesen Transistortyp *Anreicherungstyp*.



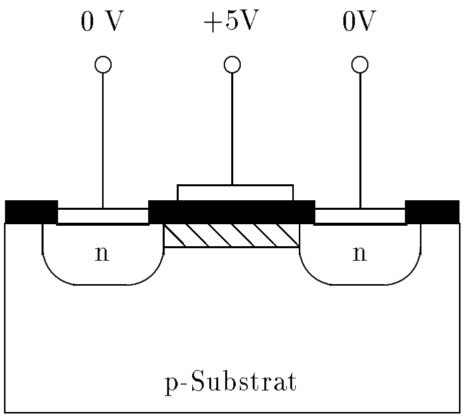
selbstleitender n-Kanal MOS-FET

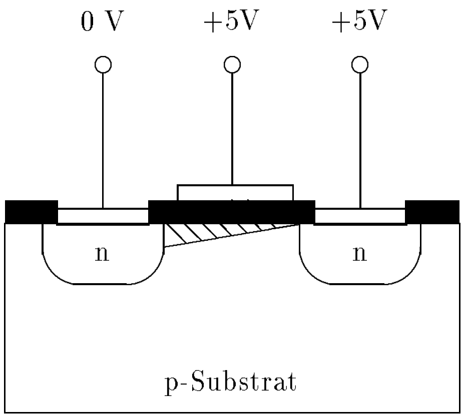
Beim selbstleitenden Typ ist der Kanal bereits mit spannungslosem Gate leitend. Die Gatespannung wird so gepolt, daß die freien Ladungsträger aus dem Kanal herausdegrückt werden. Der

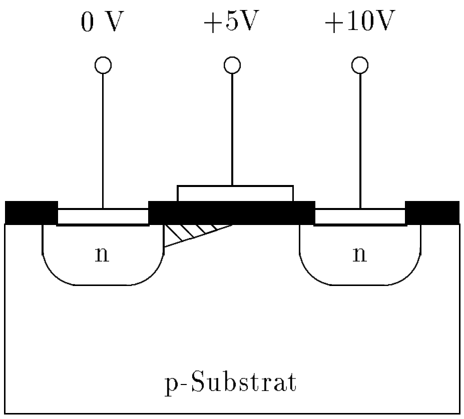
Kanal verarmt an Ladungsträgern, der Strom nimmt ab. Es ist aber auch ein Anreicherungsbetrieb möglich, wobei die Leitfähigkeit noch verbessert werden kann.

Dieser Transistortyp heißt *Verarmungstyp*.

2.3 Kanal bei verschiedenen Spannungen







Die Breite des Kanals ist nicht über den ganzen Gate-Bereich konstant, sondern ist auch von der Source- und der Drainspannung abhängig. Nur in dem ersten Beispiel kommt es zu einem Stromfluß, da der Kanal den Gatebereich vollständig abdeckt. Das zweite Beispiel ist der Grenzfall, wo noch gerade kein Strom fliesst. Im dritten Beispiel überbrückt der Kanal nur den halben Gatebereich, ein Stromfluss ist nicht möglich.

2.4 Kennlinien

3 Herstellungsprozeß

3.1 Planartechnik

Mit der *Planartechnik* werden auf einer einzigen Siliziumscheibe (Wafer) gleichzeitig tausende Transistoren hergestellt. Dazu sind viele Einzelschritte nötig:

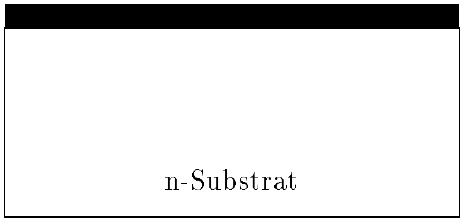
Oxidation : bei etwa 1000°C wird der Wafer einer reinen Sauerstoff-Atmosphäre oder einer mit Wasserstoff angereichterten Sauerstoff-Atmosphäre ausgesetzt. Das Silizium verbindet sich mit dem Sauerstoff zum nichtleitenden Siliziumoxid SiO_2.

Diffusion : Einbringen von p- oder n-dotierten Bereichen. Zuerst wird der Wafer mit dem Dotierstoff beschichtet, dann erfolgt die Diffusion bei etwa 900°C bis 1200°C.

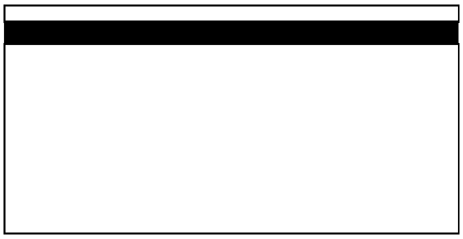
Ätzen : Entfernen von nicht mehr benötigten Schichten. Es gibt zwei Verfahren: *Naßätzen* entfernt die gewünschten Schichten besonders gut, die *Plasma-* oder *Ionenätzung* erlaubt steilere Ätzkanten und damit höhere Dichten.

Ionenimplantation : Mit einem Teilchenbeschleuniger werden die Dotieratome in das Substrat geschossen.Danach erfolgt bei 900°C die Ausheilung des Kristalls. Die Ionenimplantation kann auch durch (dünne) Oxidschichten erfolgen.

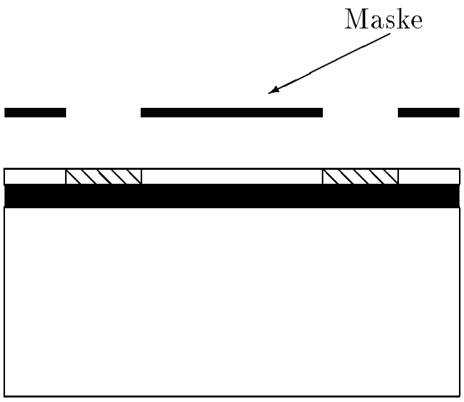
Ablagerung : Aufbringen von verschiedenen Schichten auf den Wafer. Die Ablagerung erfolgt im Vakuum, oft werden zur Unterstützung Magnetfelder verwendet.



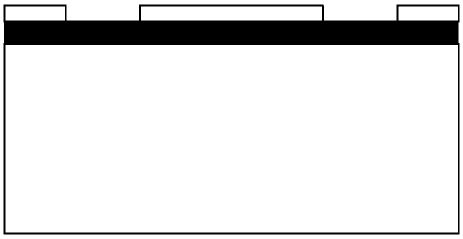
1. Oxydschicht erzeugen



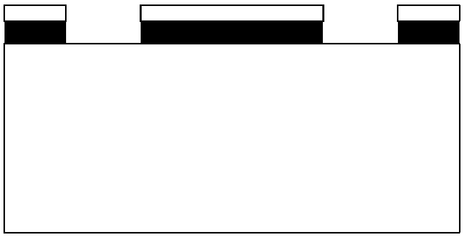
2. Fotolack auftragen



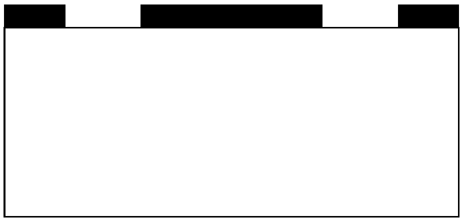
3. Belichten



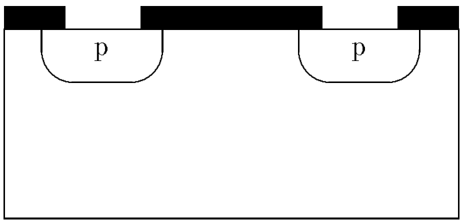
4. belichteten Fotolack entfernen



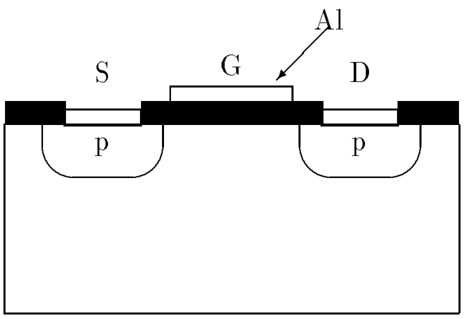
5. Oxydschicht entfernen



6. Fotolack entfernen

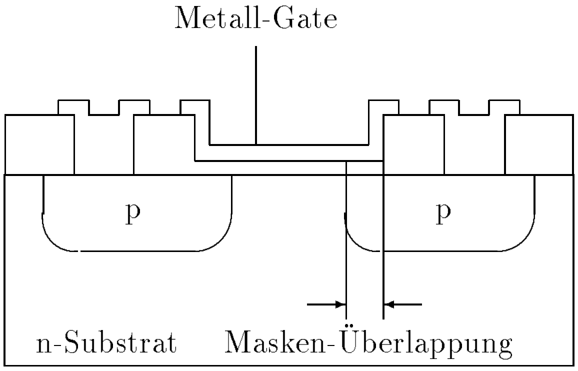


7. p-Zonen erzeugen



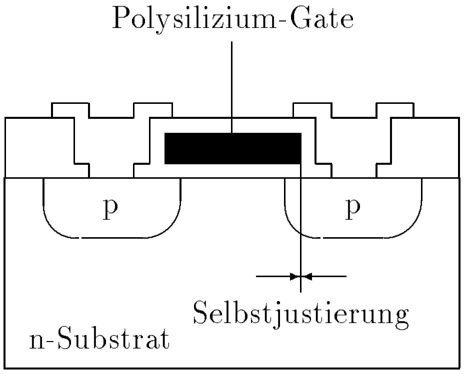
8. Anschlußflächen erzeugen

3.2 Metall-Gate und Silizium-Gate



Metall-Gate-FET

Die Metallbeschichtung für das Gate muß auch bei ungünstigen Fertigungstoleranzen den Kanalbereich vollständig überdecken. Ist der Kanalbereich nicht vollständig durch das Gate abgedeckt, dann führt dies zu einer stark veränderten Kennlinie oder zum Nichtfunktionieren des Transistors. Durch diese Überlappung ergeben sich ungewollte Kapazitäten und ein großer Platzbedarf.



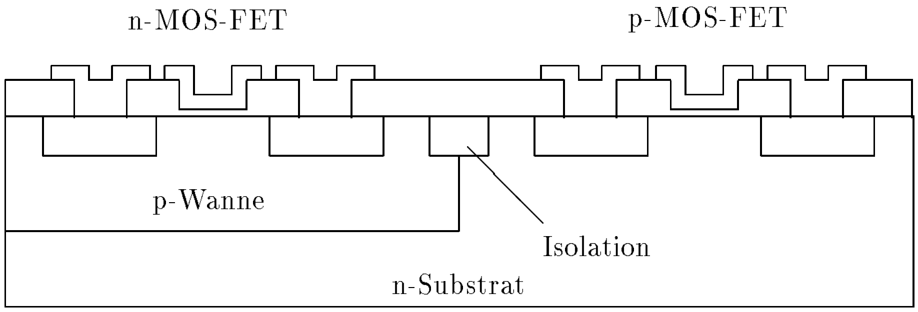
Silizium-Gate-FET

Das Gate-Silizium dient als Maske für die Source- und Drain-Diffusion. Damit ist die Überlappung unabhänig von den Herstellungstoleranzen immer konstant. Dieses Verfahren nennt man *Selbstjustierung*. Vorteil: man kann die Strukturen weiter verkleinern und damit sind höhere Taktfrequenzen möglich. Mit einem Metallgate ist diese Selbstjustierung nicht möglich, da bei der Diffusion das Aluminium schmelzen würde.

3.3 Mischtechnologien

Bei modernen Schaltungen ist es oft nötig, n-Kanal als auch p-Kanal-Transistoren auf dem gleichen Chip unterzubringen.

p-Wannen-CMOS-Prozeß

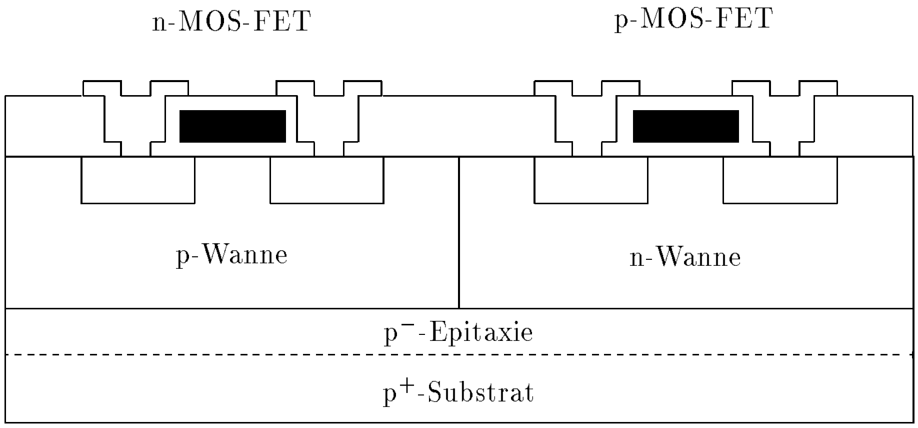


Erweiterung des p-Kanal-CMOS-Prozesses um n-Kanal-Transistoren. Eine p-dotierte Wanne im n-Substrat nimmt den n-Kanal-Transistor auf. Der in der Wanne untergebrachte Transistor hat eine geringere Ladungsträgerbeweglichkeit, welches bei bestimmten Anwendungsbereichen zu Problemen führt.

n-Wannen-CMOS-Prozeß

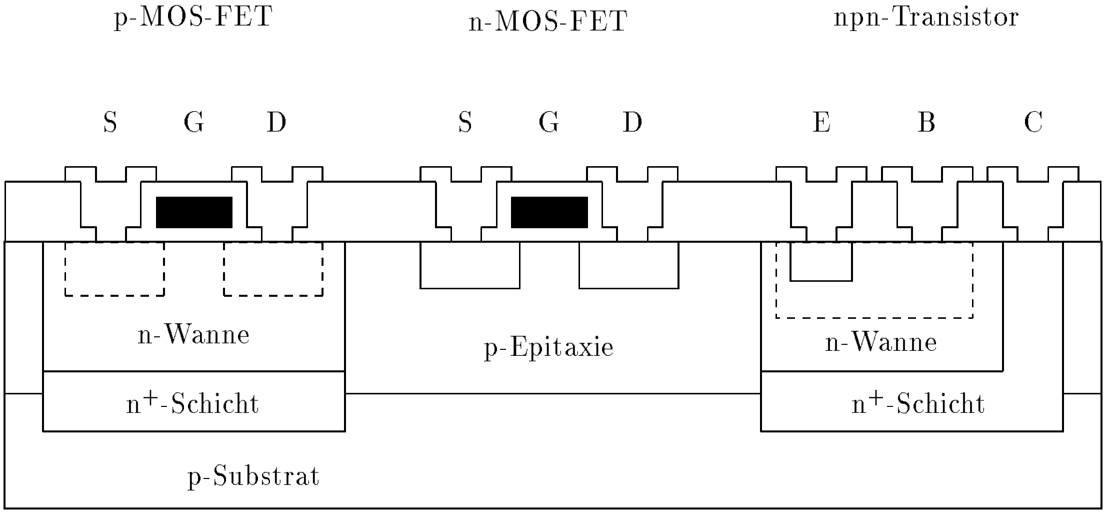
Erweiterung des n-Kanal-CMOS-Prozesses um p-Kanal-Transistoren. Sonst wie p-Wannen-Prozeß.

Zwei-Wannen-CMOS-Prozeß



Für den n-Kanal und den p-Kanal-Transistor werden seperate Wannen in eine schwach dotierte Epitaxieschicht eingebracht. Dies bietet Vorteile für die Strukturverkleinerung und erlaubt eine voneinander unabhänige Optimierung der Transistorsysteme.

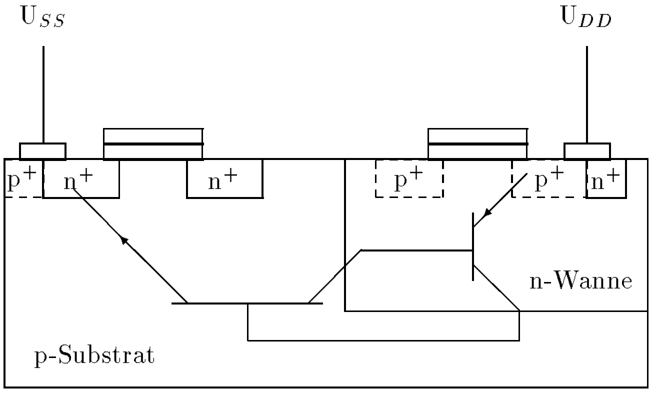
CMOS-Mischtechnologien (BiCMOS)

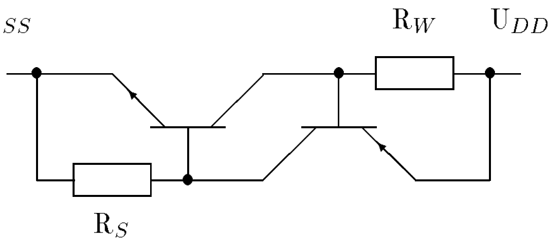


Zusätzlich zu den CMOS-Transistoren werden auch bipolare Transistoren integriert. Diese Bipolartransistoren besitzen eine relativ geringe Stromverstärkung; zur Verbesserung dieser Bipolartransistoren werden hochdotierte vergrabene Schichten angewandt.

4 Probleme

4.1 Latch-up-Effekt





Bei dem Ein-Wannen-CMOS-Prozeß entstehen parasitäre Bipolartransistoren, die in ihrer Verkopplung eine Thyristor bilden. Das Zünden dieses Thyristors und das Verbleiben in dem Haltezustand wird als Latch-up-Effekt bezeichnet. Ist der Latch-Up-Effekt eingetreten, dann führt das zum Versagen des betroffenen Schaltungsteils und zu einer stark erhöhten Stromaufnahme.

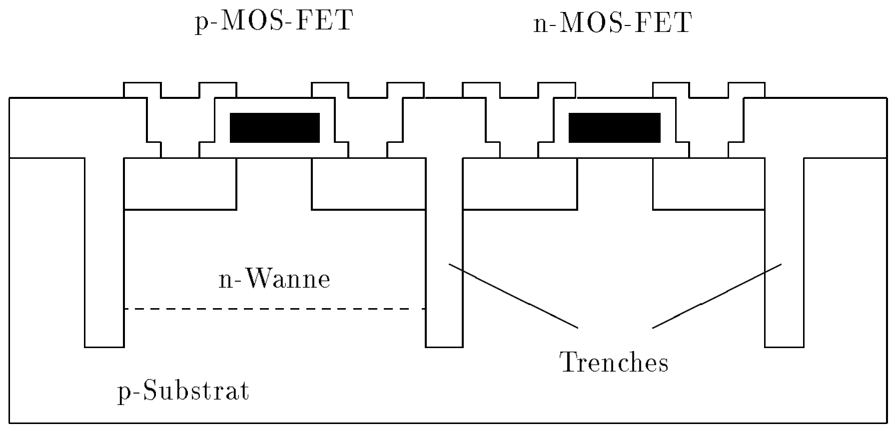
Normalerweise ist der Thyristor gesperrt. Die Zündung kann durch

- Störspitzen auf der Versorgungsspannung
- steile Anstiegs- und Abfallflanken

erfolgen.

Der Latch-up-Effekt stellt für CMOS-Schaltungen ein ernsthaftes Problem dar, dem auf technologischer Seite entgegengewirkt werden muß.

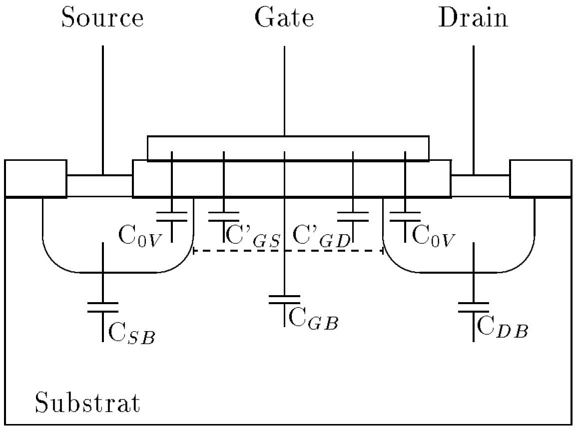
Trench-Isolation

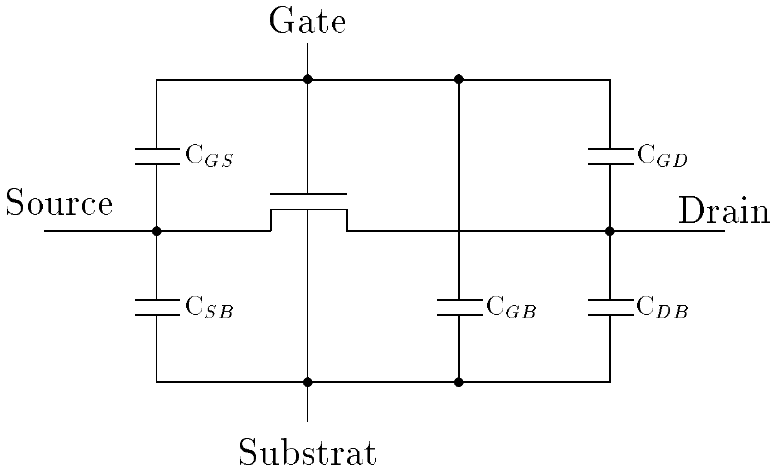


Die p- und n-Kanal-Transistoren werden durch Oxidgräben (Trenches) gegeneinander isoliert. Die Oxidgräben müssen dabei tiefer in das Substrat reichen als die Wannen, da sonst keine wirkungsvolle Isolation möglich ist. Die Herstellung der Oxidgräben ist jedoch technisch aufwendig, ermöglicht aber eine weitere Erhöhung der Packungsdichte.

4.2 Kapazitätsmodell

An einem MOS-FET treten verschiedene parasitäre Kapazitäten auf, die teilweise auch spannungsabhängig sind. Diese Kapazitäten beeinflussen die Signalqualität, die Leistungsaufnahme und die maximale Taktfrequenz. Man versucht diese Kaparitäten so klein wie möglich zu halten, am besten wird dieses durch eine weitere Strukturverkleinerung erreicht.





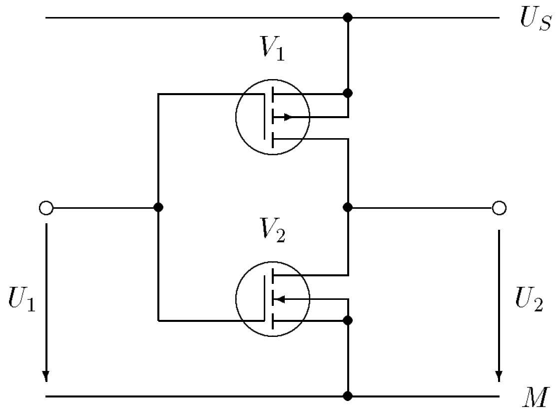
4.3 Überspannungen

CMOS- Bauteile sind aufgrund der sehr dünnen Isolierschichten an dem Gate sehr empfindlich gegen Überspannungen. Sehr leicht kann es zu einem Überschlag im Gate-Kondensator kommen und damit ist der Transistor zerstört. Teilweise werden schon bei der Entwicklung des Chips vorbeugende Maßnahmen getroffen, z.B. durch Schutzdioden. Trozdem müssen CMOS-Bauteile mit besonderer Vorsicht behandelt werden. Bei der Lagerung werden spezielle antistatische Behälter oder leitender Schaumstoff verwendet. Arbeiten an Geräten mit CMOS- Bauteilen werden an speziell geerdeten Arbeitsplätzen durchgeführt, wobei auch die Personen mit Armbändern geerdet werden müssen. Deshalb werden CMOS-Bauteile mit mit einem Warnhinweis versehnen:

CAUTION
Static sensitive Devices Handle with Care

5 Anwendungsbeispiel

Schaltstufe mit Komplementär-MOS-FET



$\mathbf{U_1 = 0V}$: V1 ist niederohmig, V2 ist hochohmig, $U_2 = U_S$

$\mathbf{U_1 = U_S}$: V1 ist hochohmig, V2 ist niederohmig, $U_2 = 0V$

Einer der beiden Transistoren ist gesperrt. Solange der Ausgang nicht belastet wird, fließt kein Strom.