Ort: Arbeitsgruppenraum C2.227
Begin: 14:00 Uhr
Ende: 15:38 Uhr

Gruppe Algorithmus:

Der Algorithmus ist komplett in Speedchart implementiert und nach VHDL exportiert. Diese Version läßt sich zumindest kompilieren. Die Rechenwerke sind hierbei noch nicht integriert, sie wurden nur emuliert und werden später extern hinzugelinkt.

Gruppe Gesamtmodell:

Die Schnittstelle "scheint" korrekt zu sein, es läßt sich alles kompilieren, aber noch nicht zusammen simulieren. Die Teilmodelle werden momentan getestet. Ausserdem soll noch das IO-Timing des Koprozessors ausgestet werden.
Lars hat zum Testen den Multiplizierer in VHDL geschrieben (Bitstrings in Integer konvertieren, Integermultiplikation durchführen, und wieder nach Bitstrings konvertieren). Diese Rechenwerke, die direkt in VHDL implementiert wurden haben lediglich 10 % der Größe eines gleichen aus Gattern aufgebauten Werkes. Es sollen nun Tests über die Geschwindigkeit dieser VHDL-Werke angestrebt werden. Sollte sich herrausstellen, daß diese VHDL-Konstrukte schneller und kleiner sind, so sollte man für den Simulator diese optimierten Rechenwerke benutzen.
Die Einbindung der Rechenwerke in den Algorithmus machen bisher keine Probleme, d.h. es kann alles kompiliert werden, allerdings sind Simulationen noch nicht möglich. Die neue optimierte Version des Multiplizierers muß allerdings noch integriert werden.

Interface:

Lars hat das Interface letzte Woche ganz neu Aufgebaut. Es ist nun zumindest Synthesefähig. Ausserdem hat die IU und die FU wirklich das Interface, wie es in den Datenbüchern beschrieben war.

Betriebssystem:

Im Prozessorstatusregister ist das Koprozessorbit defaultmäßig auf Null gesetzt. Erst bei dem ersten Float-Befehl wird dieses Register ausgelesen. Koprozessorbefehler die auch unsere SFU ansteuern, werden daher nicht durchgereicht. Um dies zu verhindern, muß der Prozessor in den Supervisor-Mode gebracht werden und das Statusbit auf Eins gesetzt werden. Die IU läßt sich allerdings nur durch sog. Traps in den Supervisor-Mode bringen, ein Trap ist ein Unterprogramm im Kernel. Da wir kein Zugriff auf die Sourcen des Kernels haben, hat Burkhard die sog. Trap-Tabelle direkt im Kernel gepatcht. Die Trap-Tabelle ist eine Auflistung aller Traps und deren Adressen, die bei Auftreten eines bestimmten Traps angesprungen werden sollen. Nach Anpassen des Kernels traten auch keine Fehlermeldungen vom Koprozessor mehr auf (Illegal Instruction). Diese Funktionalität (Toggeln des Statusregisterflags) ist auch in der C-Bibliothek implementiert.

Allgemeines:

Laut SUN läßt sich der S-Bus nicht unter 20 MHz takten, da der Rechner sonst nicht mehr funktionsfähig ist. Diese Frequenz ist allerdings zu schnell für den Simulator. Mögliche Lösungen wären hier, das Interface mit 20 MHz und den Rechenkern mit 10 bzw. 5/2,5 MHz zu Takten. Nur den Prozessor/Koprozessor herunterzutakten würde wahrscheinlich den S-Bus funktionsuntüchtig machen.
Das C-Hold-Signal (das die IU anhählt, solange der FPU rechnet) darf nicht länger als 30 s anliegen, da sonst der Rechner abstürzt.
Weitere Probleme macht die Dämpfung der Signale durch die Kabel, diese müßten evtl. durch einen Schmitt-Trigger verstärkt werden. Eine andere Lösung ist vielleicht auch andere Kabel zu benutzen (Twistet-Pair, abgeschirmte Kabel).
Die ES2-Bibliothek von INCA und Synopsys funktionieren jetzt zusammen, d.h. sie lassen sich synthetisieren. Tests bezüglich Validation liegen allerdings noch nicht vor. Die organisatorische Gruppe (RCS) arbeitet sich gerade in INCA ein. Ausserdem soll mit dem (noch nicht global laufenden) Gesamtmodell "herumgespielt" werden. In absehbarer Zeit sollen dann die anderen Entwickler in die Benutzung von CVS eingeführt werden. Die C-Bibliothek ist soweit vollständig, es muß nur noch ein kleines menügesteuertes Testprogramm kompiliert werden. Der Rechenkern (Algorithmus) benötigt noch Speicher (RAM), die Allokierung auf dem Simulator ist allerdings noch nicht gelöst.

weitere Aufteilung:

- Frequenzproblem (S-BUS ¿ 20MHz)
- Speicherproblem (Rechenkern/Algo.)
- Gesamtmodell
  - Simulation ⇒ Edwin,Ralf,Jürgen
  - Synthese ⇒ Swen,Frank,Holger,Thomas
- Interface & Dummy-Kern auf INCA bringen ⇒ Thorsten,Andreas,Lars,Burkhard
- Treiberkarten (Kabelproblem)
- Optimierung der ALUs mittels VHDL