Beginn: 14.06 Uhr
Ende: 15.02 Uhr

1. Allgemeines

   - Nächstes Treffen ist Donnerstag, den 27.4. um 15.30 Uhr
   - Die folgenden Treffen sind jeweils Mittwochs, 14 Uhr
   - Der CMOS-Vortrag von Jürgen Hochwald findet am Mittwoch, dem 10. Mai um 13.30 Uhr statt
   - Ab nächste Woche wird der Status eingefroren. Es wird dann ein Gesamtmodell erstellt. Korrekturen an den einzelnen Modulen sind weiterhin möglich
   - Nächste Woche wird eine neue Gruppe zusammengestellt, die an dem Gesamtmodell weiterarbeitet
   - Der Adapter für unseren Chip ist eingetroffen. Allerdings handelt es sich bei dem gelieferten Modell um die falsche Ausführung, da wir eine CIFF–Fassung benötigen.

2. Vortrag Gruppe Interface

   - Die Gruppe hat bisher eine Version synthetisiert, es gibt noch Probleme mit den treestates. Wolfram Hardt hatte damals dasselbe Problem, allerdings ist seine Lösung hier nicht praktikabel, da wir mit einer neuen Version arbeiten.
   - Die Register sind bereits korrekt schreib/lesbar
   - Es gibt Probleme, da die Dokumentationen von Cyprus und LSI leichte Differenzen im Inhalt aufweisen (Signale tauchen an verschiedenen Stellen auf).
     Mögliche Lösungen: neue (zuverlässige) Literatur, mit dem Oszilloskop nachmessen, ausprobieren. Herr Rammig äußerte die Vermutung, daß die LSI-Dokumentation korrekt wäre.
   - Das Zahlenformat arbeitet mit 32 Bit, wir können jedoch nur 24 Bit verarbeiten. Die 32 bit sind wie folgt strukturiert:
     - Vorzeichen: Bit 31
     - Exponent: Bits 30–23
     - Mantisse: Bits 22–0

     Wir müssen also 24 Bit herausgreifen. Wir übernehmen das Vorzeichen und den Exponent ohne Kürzungen. Die Mantisse muß gekürzt werden.

3. Vortrag Gruppe ALU

   - Der float-Addierer ist bereits in Speedchart problemlos kompilierbar. Die Synthese folgt in den nächsten Tagen.
   - Der Float-Dividierer ist eine synchrone Zelle. Wir benötigen daher das CLK-Signal der Maschine. Divisionen duch 0 sind nicht möglich, kommen aber laut Algorithmus nicht vor.
   - Der Float-Multiplizierer wird gerade synthetisiert, es treten keine Probleme auf.
   - Laufzeiten (werden von der Algorithmus–Gruppe benötigt)
     - float–Addierer: 1 Takt
     - float–Dividierer: 16 Takte (geschätzt)
     - float–Multiplizierer: 2–4 Takte (geschätzt)
   - Bitvektoren sollten von allen Gruppen übereinstimmend als downto definiert werden

4. Vortrag Gruppe Algotithmus

   - Der Algorithmus ist bereits in Speedchart eingegeben
   - Bei der Programmierung in Speedchart ergeben sich Probleme: Bei dem zweiten Starten des Programmes gibt es Probleme, obwohl beim ersten Starten alles fehlerfrei lief.
   - Der Algorithmus kann möglicherweise noch optimiert werden. Hierzu werden die Laufzeiten der einzelnen Rechenwerke benötigt (siehe dort)